

波の並列性に基づく高並列演算システムに関する研究

著者	弓仲 康史
号	1680
発行年	1994
URL	http://hdl.handle.net/10097/6953

氏 名	弓 仲 康 史
授 与 学 位	博 士 (工 学)
学位授与年月日	平成 7 年 3 月 24 日
学位授与の根拠法規	学位規則第 4 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	波の並列性に基づく高並列演算システムに関する研究
指 導 教 官	東北大学教授 樋口 龍雄
論 文 審 査 委 員	東北大学教授 樋口 龍雄 東北大学教授 大見 忠弘 東北大学教授 亀山 充隆

論 文 内 容 要 旨

第 1 章 緒 言

近年, VLSI システムの極限的微細化に伴い, 集積回路の内部配線の激増に起因する性能限界が深刻な問題となりつつある。特に, 今後ますます重要となる知能情報処理においては, 瞬時応答性を実現するために, 2 次元的に配置された多数のセル, 基本ブロックおよびモジュールを高密度に結合したアーキテクチャが要求され, グローバルな通信配線がシステム全体の性能やコストを支配するようになると考えられる。

この配線問題の解決を目的として, 本研究では, 論理値の周波数多重化および並列選択を基本概念とする新しい並列処理方式であるウェーブパラレルコンピューティングのモデルを提案している。すなわち, γ 種類の周波数の有無により情報を表現すると共に, この論理値を並列に選択することにより, 1 本の信号線上に等価的に 2^γ 値もの超多値情報表現を伝送, 処理することが可能となる。本論文では, 以上の概念に基づき, 波の並列性, 多重性に着目したウェーブパラレルコンピューティングシステムの系統的構成理論を明らかにしている。さらに, 周波数選択回路のコンパクト実現に関して実験的考察を行うと共に, 本システムが配線問題に制限されない理想的な高並列デジタル情報処理システムを実現する可能性を与えることを定量的に評価している。

第 2 章 波の並列性に基づく高並列演算システムに関する基礎的考察

本章では, まず, 現在の 2 値論理に基づく集積回路における配線問題について概説している。次に, 配線問題に対する解決策の一つとして, 多値論理演算に着目し, その基礎および超多値化の限

界について述べ、さらに、本研究で提案する集合論理演算システムを構築する際の基本概念である論理値の多重化および並列選択機能について考察している。

これらの概念に適合する情報担体として電気信号の周波数成分を用い、多重化された周波数を分離せずスイッチングする3つの基本ゲートを提案することにより、波の並列性を利用した高並列なスイッチング回路網が構成できることを明らかにしている。

第3章 ウェーブパラレルコンピューティングシステムの構成理論

本章では、論理値の集合に対するスイッチングを記述するために新たに集合論理演算システムを代数的に定式化している。すなわち、多重化された周波数を分離せず処理するために、表1に示すような周波数の集合を情報単位とするスイッチング代数を導入している。特に、集合和、集合積、集合論的リテラルを基本演算子として定義し、これらによる集合論理関数が基本ゲートにより高並列に実現できることを示している。また、本システムにおいては、周波数を情報担体として用いることにより、チップ上の2次元空間のみならず周波数空間を利用して、いわば3次元空間処理を行っているのとらえることができる。このウェーブパラレルコンピューティングの物理的解釈を明らかにすると共に、その系統的設計法を提案している。さらに、集合論理関数を必要最小限の項で展開することにより、回路規模を削減するための簡単化手法を述べている。

第4章 ウェーブパラレルコンピューティングシステムの実現に関する実験的考察

本章では、ウェーブパラレルコンピューティングシステムの実現に関する検討を行っている。まず、論理値の多重伝送および並列選択の動作に適合する構成として、フィルタ実現法を示し、さらに、集積化向きの回路構成を提案することにより、面積、速度の向上を図る。次に、変調、復調技術を利用した多重キャリア同期検波を新たに提案し、その有効性をシミュレーション、原理実験により明らかにしている(図1(a), (b))。これらの結果をふまえ、同期検波回路、集積化フィルタを図2に示すような試作チップにより実現し、その評価について言及している(図3)。また、各実現方式における多重度と処理速度の関係を導出し、システム設計の指針を示している。最後に、QAM変調、光集積回路に基づく構成を述べ、今後の課題、展望について検討を行っている。

第5章 完全並列アーキテクチャへの応用

本章では、ウェーブパラレルコンピューティングシステムを完全並列アーキテクチャへ適用した応用例を示している。ここでは、配線量が多い高並列アーキテクチャのモデルとして、論理近傍演算に基づく完全並列画像処理およびアナログニューラルネットワークをとり上げている。

まず、画像処理においては、2値論理変数を集合論理変数に最適に割り当てることにより、演算モジュールの入出力線数を削減する柔軟なハードウェア設計アルゴリズムを提案している。さらに、本アルゴリズムにより最適に設計された並列画像処理プロセッサを周波数モード集合論理回路網を用いて構成した結果を示している。また、ニューラルネットワークの実現において要求される膨大な配線および乗算を軽減するために、多重キャリア同期検波を用いて通信と演算を一体化するハー

ドウェアルゴリズムを提案し（図4），そのA/D変換器への応用を示している（図5）。

これらの例を通じて，現在のVLSIにおいては多数の演算モジュール間の膨大な情報転送がボトルネックとなっていたことは対照的に，本システムが配線に制限されない高並列処理システムを実現できる有力な方法であることを明らかにしている。

第6章 結 言

本章は結言であり，本研究の主要な結果を総括し，今後の課題について展望している。

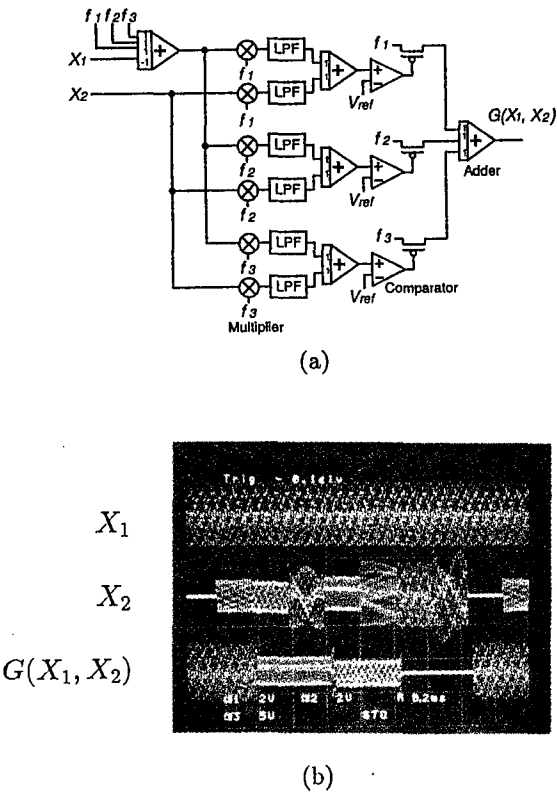


図1：同期検波に基づくウェーブパラレルコンピューティング回路網：(a)表1の関数を実現する回路構成，(b)動作波形（ X_1 を $\{f_2, f_3\}$ に固定し， X_2 を表1の組合せ表に従って ϕ から λ まで変化させて入力）

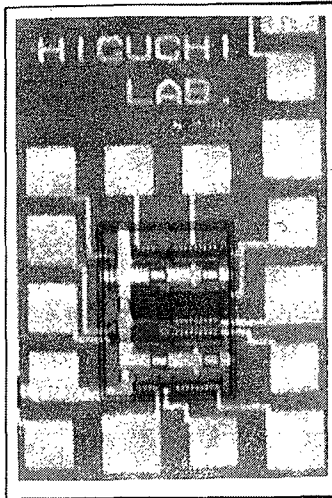


図2：実験で用いた試作チップ

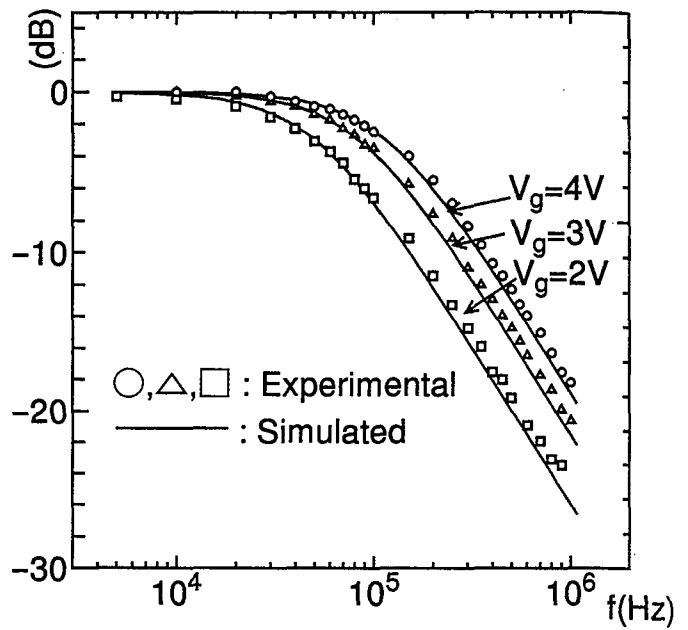


図3：MOSトランジスタの周波数特性

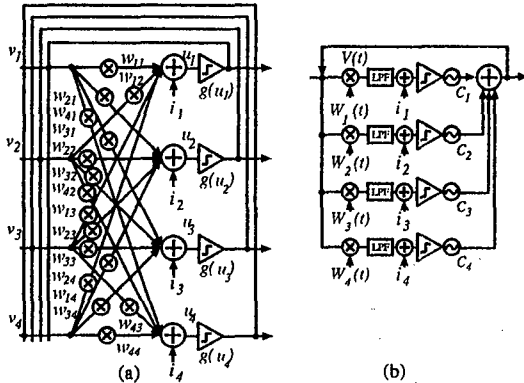


図4：ニューラルネットワークモデル：
(a)従来の実現法,
(b)本提案の実現法 ($C_i = \cos(2 \pi f_i t)$)

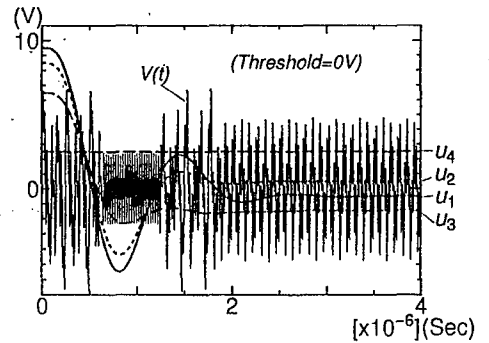


図5：ニューラルネットワークに基づくA/D変換器の過渡応答（入力 $X=10$ に対する4ビットA/D変換の結果1010が得られている）

表 1 : 集合論理関数 $G(X_1, X_2)$ の例 ($L = \{f_1, f_2, f_3\}$)

$X_1 \backslash X_2$	\emptyset	$\{f_1\}$	$\{f_2\}$	$\{f_1, f_2\}$	$\{f_3\}$	$\{f_1, f_3\}$	$\{f_2, f_3\}$	L
\emptyset	\emptyset	\emptyset	\emptyset	\emptyset	\emptyset	\emptyset	\emptyset	\emptyset
$\{f_1\}$	$\{f_1\}$	\emptyset	$\{f_1\}$	\emptyset	$\{f_1\}$	\emptyset	$\{f_1\}$	\emptyset
$\{f_2\}$	$\{f_2\}$	$\{f_2\}$	\emptyset	\emptyset	$\{f_2\}$	$\{f_2\}$	\emptyset	\emptyset
$\{f_1, f_2\}$	$\{f_1, f_2\}$	$\{f_2\}$	$\{f_1\}$	\emptyset	$\{f_1, f_2\}$	$\{f_2\}$	$\{f_1\}$	\emptyset
$\{f_3\}$	$\{f_3\}$	$\{f_3\}$	$\{f_3\}$	$\{f_3\}$	\emptyset	\emptyset	\emptyset	\emptyset
$\{f_1, f_3\}$	$\{f_1, f_3\}$	$\{f_3\}$	$\{f_1, f_3\}$	$\{f_3\}$	$\{f_1\}$	\emptyset	$\{f_1\}$	\emptyset
$\{f_2, f_3\}$	$\{f_2, f_3\}$	$\{f_2, f_3\}$	$\{f_3\}$	$\{f_3\}$	$\{f_2\}$	$\{f_2\}$	\emptyset	\emptyset
L	L	$\{f_2, f_3\}$	$\{f_1, f_3\}$	$\{f_3\}$	$\{f_1, f_2\}$	$\{f_2\}$	$\{f_1\}$	\emptyset

審 査 結 果 の 要 旨

近年 VLSI システムの大規模並列化に伴い、配線の複雑さに起因する性能限界が深刻な問題になっている。このため配線問題の解決に主眼を置いた新しいデジタルシステムの開発が要求されている。

著者は振幅変調波など波の性質を有する情報担体を利用し、その並列性に基づいて処理を行う高並列演算システムを提案し、配線に制限されないデジタルシステムの構成法を明らかにすると共に、その有用性を実証した。本論文はその成果をとりまとめたもので、全編 6 章よりなる。

第 1 章は緒言である。

第 2 章では、集積システムにおける配線の複雑さを解決する方法として、波の性質を有する情報担体の多重化に着目し、その情報表現の並列性に基づく高並列演算システムの基本原理を示している。また本システムの構成に適する 3 つの論理ゲートを提案している。

第 3 章では、波の並列性に基づく高並列演算システムの設計法を示している。まず多重化された情報を集合としてとらえる集合論理の概念を導入し、新たに集合コンセンサスなどの代数的定義を与えることにより、集合論理回路の系統的設計法を確立している。これは重要な成果である。

第 4 章では、波の並列性に基づく高並列演算システムの実現について考察している。周波数選択機能を有するアナログ回路による実現を検討し、個別素子による実験、回路解析シミュレーションおよび基本集積回路の試作を通してその原理を確認している。また多重キャリア同期検波方式を提案し、その原理実験を行っている。さらに多重度と処理速度の関係を導出し、システムの最適設計の有用な指針を示している。

第 5 章では、本システムの原理を完全並列処理アーキテクチャへ適用し、その有用性を評価している。完全並列画像処理においては、並列性を維持したまま配線数を $1/r$ (r : 多重度) 以下に減少可能であることを実証している。完全並列構造のニューラルネットワークに適用した場合は、従来の $1/r$ の配線数及び演算器数により、同等機能が実現可能であることを明らかにしている。これらは有用な成果である。

第 6 章は結言である。

以上要するに本論文は、VLSI システムにおける配線の複雑さに起因する諸問題を解決することを目的として、波の並列性に基づく新しい高並列演算システムを提案し、その構成法を確立すると共に、その有用性を実証したものであり、電子工学および情報工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。